Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Архітектура комп'ютерів-2. Процесори

Лабораторна робота №1(3)

**ЗНАЙОМСТВО З СЕРЕДОВИЩЕМ МОДЕЛЮВАННЯ MODELSIM**

Виконала:

студентка групи ІО-64

Бровченко А.В.

Залікова книжка №6403

Перевірив Стешин В.В.

Київ

2018 р.

**Теоретичні відомості**

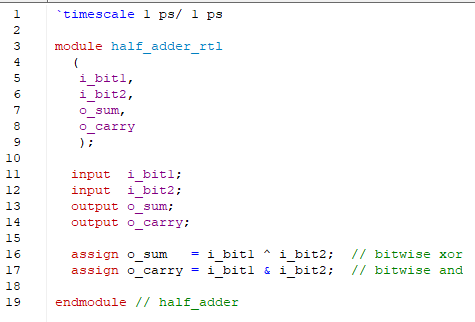
**ModelSim** — багатомовне середовище опису та моделювання електронного обладнання за допомогою Mentor Graphics, VHDL, Verilog і SystemC.

Забезпечує розробку описів алгоритмів роботи цифрових пристроїв, може бути підключене до систем проектування на ПЛІС.

Середовище включає потужний вбудований зневаджувач для SystemC.

**Хід виконання роботи**

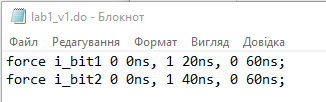
Файл ***half\_adder\_rtl.v***



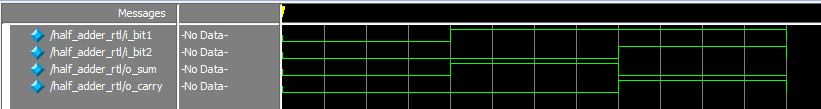
Вікно **Objects**



Файл **lab1\_v1.do**



Результат симуляції:



Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Архітектура комп'ютерів-2. Процесори

Лабораторна робота №2(3)

**ДОСЛІДЖЕННЯ КОМБІНАЦІЙНИХ ПРИСТРОЇВ**

Виконала:

студентка групи ІО-64

Бровченко А.В.

Залікова книжка №6403

Перевірив Стешин В.В.

Київ

2018 р.

**Теоретичні відомості**

**Verilog HDL** (англ. *Verilog Hardware Description Language*) — мова опису апаратури (HDL), що використовується для опису та моделювання електронних систем. Verilog HDL не слід плутати з VHDL (конкуруюча мова), найбільш часто використовується у проектуванні, верифікації і реалізації (наприклад, у вигляді НВІС) аналогових, цифрових та змішаних електронних систем на різних рівнях абстракції.

Розробники Verilog зробили його синтаксис дуже схожим на синтаксис мови C, що спрощує його освоєння. Verilog має препроцесор, дуже схожий на препроцесор мови C, і основні керуючі конструкції if, whileтакож подібні однойменним конструкціям мови C. Угоди по форматуванню виведення також дуже схожі.

Слід зазначити, що опис апаратури, написаний мовою Verilog (як і іншими HDL-мовами) прийнято називати програмами, але, на відміну від загальноприйнятого поняття програми, як послідовності інструкцій, тут програма представляє множину операторів, які виконуються паралельно і циклічно під керуванням об'єктів, названих сигналами. Кожен такий оператор є моделлю певного елемента реальної функціональної схеми апаратури, а сигнал — аналогом реального логічного сигналу. Так само для мови Verilog не застосовується термін «виконання програми». Фактично, виконання Verilog-програми є моделюванням функціональної схеми, яку вона описує, що виконується спеціальною програмою — Verilog-симулятором.

**Хід виконання роботи**

Варіант: 110**0100000011** Набір логічних елементів: АБО, І, НЕ

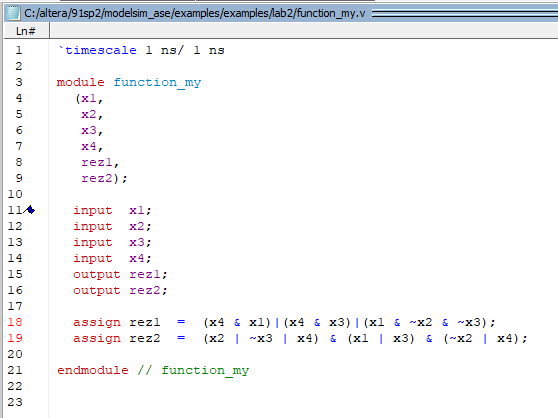
Значення функції: Мінімізація діаграмою Вейча:

|  |  |
| --- | --- |
| **X1 X2 X3 X4** | **F** |
| 0000 | 0 |
| 0001 | 1 |
| 0010 | 0 |
| 0011 | 0 |
| 0100 | 0 |
| 0101 | 0 |
| 0110 | 0 |
| 0111 | - |
| 1000 | 0 |
| 1001 | 1 |
| 1010 | - |
| 1011 | 1 |
| 1100 | 1 |
| 1101 | 1 |
| 1110 | 1 |
| 1011 | 1 |

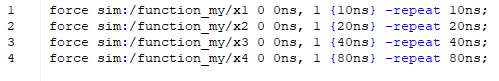
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Х2 | |  |  |  |
| Х1 | 0 | 1 | 1 | 1 |
| - | 1 | 1 | 0 | Х3 |
|  | 0 | 1 | 1 | 0 |
| 0 | - | 0 | 0 |  |
|  | Х4 | |  |

F =

Файл **function\_my.v**



Файл симуляції:



Результат симуляції:

